

## **KOREAN INDUSTRIAL PROPERTY OFFICE**

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial Property Office.

Application Number: **10-2003-0036333**

Date of Application: **05 June 2003**

Applicant(s): **Samsung Electronic Co., Ltd.**

**01 October 2003**

**COMMISSIONER**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0036333  
Application Number

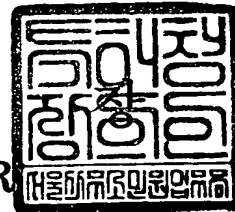
출원 년 월 일 : 2003년 06월 05일  
Date of Application JUN 05, 2003

출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 10 월 01 일

특 허 청  
COMMISSIONER





1020030036333

출력 일자: 2003/10/8

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.06.05
【국제특허분류】	G11C
【발명의 명칭】	반도체 장치 및 그 테스트 방법
【발명의 영문명칭】	Semiconductor device and test method there-of
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	정승호
【성명의 영문표기】	JEUNG, Seong Ho
【주민등록번호】	690610-1163125
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 967-2 풍림아파트 603동 1202호
【국적】	KR
【발명자】	
【성명의 국문표기】	정종훈
【성명의 영문표기】	JUNG, Jong Hoon
【주민등록번호】	730625-1009718



1020030036333

출력 일자: 2003/10/8

【우편번호】 449-846  
【주소】 경기도 용인시 수지읍 풍덕천리 1148-10 노블하우스 303호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
이영필 (인) 대리인  
정상빈 (인)  
【수수료】  
【기본출원료】 20 면 29,000 원  
【가산출원료】 14 면 14,000 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 25 항 909,000 원  
【합계】 952,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

반도체 장치 및 그 테스트 방법이 개시된다. 본 발명의 반도체 장치는 복수의 워드라인들 중의 하나와 복수의 비트라인쌍들 중의 한 쌍에 각각 연결되는 복수의 메모리셀들을 포함하는 메모리셀 어레이, 메모리셀 어레이로부터 독출되는 데이터를 증폭하기 위한 감지 증폭기, 메모리셀 어레이로/로부터 데이터 기입 및 독출을 제어하는 제어 회로, 복수의 워드라인들 중 어느 하나를 선택하기 위하여 어드레스 신호를 디코딩하여 디코딩 신호를 출력하는 로우 디코더, 소정의 테스트 모드에서 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 비트라인 테스트 전압 레벨로 설정하기 위한 비트라인쌍 전압 설정회로 및 테스트 모드에서 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압 레벨로 설정하는 워드라인 드라이버를 구비한다. 워드라인 테스트 전압 레벨은 정상 동작 모드에서의 복수의 워드라인들의 로우레벨 전압과 다르게 설정될 수 있다.

**【대표도】**

도 1

**【명세서】****【발명의 명칭】**

반도체 장치 및 그 테스트 방법{Semiconductor device and test method there-of}

**【도면의 간단한 설명】**

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 도면이다.

도 2는 본 발명의 일 실시예에 따른 반도체 장치가 테스트를 통하여 검출할 수 있는 위크 셀의 몇 가지 유형을 나타내는 도면이다.

도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 도면이다.

도 4는 본 발명의 일 실시예에 따른 테스트 방법을 개략적으로 나타내는 플로우차트이다.

도 5는 본 발명의 다른 일 실시예에 따른 테스트 방법을 개략적으로 나타내는 플로우차트이다.

도 6은 도 3에 도시된 반도체 장치의 실험 결과를 나타내는 도면이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 장치에 관한 것으로, 특히 불량 가능성이 있는 메모리 셀을 검출할 수 있는 테스트 방법 및 이 테스트 방법을 실행할 수 있는 반도체 장치에 관한 것이다.



- <9> 수많은 메모리 셀을 가지는 반도체 장치는 그 중 하나라도 불량이면 정상적인 동작을 할 수 없다. 따라서, 불량 메모리셀을 검출하기 위하여 여러 가지 테스트 방법이 사용된다.
- <10> 불량 메모리셀 중에는 테스트시에 오류 동작을 일으켜 쉽게 검출되는 불량이 있는 반면에, 테스트에서 쉽게 검출되지 않는 잠재적인 불량도 있다. 잠재적인 불량 셀은 현재는 정상적으로 동작하나, 장기적인 사용시에는 불량이 발생할 가능성이 많은 셀로서 위크 셀(weak cell)이라고도 한다.
- <11> 반도체 장치가 사용자에게 제공되기 전에 테스트를 통하여 위크 셀을 검출할 수 있다면, 반도체 장치의 신뢰성을 높일 수 있다. SRAM(Static Random Access Memory)에 대한 위크 셀을 검출하는 테스트 방안의 하나가 미국 등록 특허 "US5,920,517"에 기술되어 있다.
- <12> 위크 셀을 검출하기 위한 테스트는 일반적으로 많은 시간을 필요로 하는데, 테스트 시간을 단축할 수 있는 방안이 요구된다. 테스트 시간은 테스트 비용과 직접적인 관련이 있으며, 이는 또한 제품 생산 비용과도 관련이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

- <13> 따라서 본 발명이 이루고자 하는 기술적 과제는 불량 가능성이 높은 잠재적인 불량 메모리셀을 효율적으로 검출함으로써 반도체 장치의 신뢰성을 높일 수 있는 반도체 장치 및 테스트 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

- <14> 상기 기술적 과제를 달성하기 위한 본 발명의 일 면에 따른 반도체 장치는 복수의 워드라인들 중의 하나와 복수의 비트라인쌍들 중의 한 쌍에 각각 연결되는 복수의 메모리셀들을 포함하는 메모리셀 어레이; 상기 메모리셀 어레이로부터 독출되는 데이터를 증폭하기 위한 감지



증폭기; 상기 메모리셀 어레이로/로부터 데이터 기입 및 독출을 제어하는 제어 회로; 상기 복수의 워드라인들 중 어느 하나를 선택하기 위하여 어드레스 신호를 디코딩하여 디코딩 신호를 출력하는 로우 디코더; 소정의 테스트 모드에서 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 비트라인 테스트 전압 레벨로 설정하기 위한 비트라인쌍 전압 설정회로; 및 상기 테스트 모드에서 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압 레벨로 설정하는 워드라인 드라이버를 구비하며, 상기 워드라인 테스트 전압 레벨은 정상 동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 다르게 설정될 수 있는 것을 특징으로 한다.

<15> 바람직하기로는, 상기 정상 동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압은 그라운드 전압이다.

<16> 또한 바람직하기로는, 상기 반도체 장치는 상기 워드라인 테스트 전압을 수신하기 위한 워드라인 테스트 전압 터미널을 더 구비하며, 워드라인 테스트 전압 터미널은 상기 그라운드 전압을 수신하는 그라운드 전압 터미널과 별도이다.

<17> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 면에 따른 반도체 장치는 복수의 워드라인들 중의 하나와 복수의 비트라인쌍들 중의 한 쌍에 각각 연결되는 복수의 메모리셀들을 포함하는 메모리셀 어레이; 상기 복수의 워드라인들 중 어느 하나를 선택하기 위하여 어드레스 신호를 디코딩하여 디코딩 신호를 출력하는 로우 디코더; 소정의 테스트 모드에서 상기 복수의 워드라인들 중 일 그룹의 워드라인들의 로우레벨 전압을 소정의 오드 로우레벨 전압으로 설정하는 오드 워드라인 드라이버; 및 상기 테스트 모드에서 상기 복수의 워드라인들 중 다른 일 그룹의 워드라인들의 로우레벨 전압을 소정의 이븐 로우레벨 전압으로 설정하는 이븐 워드라인 드라이버를 구비하며, 상기 오드 로우레벨 전압과 상기 이븐 로우레벨 전압은 각각 정



상 동작 모드에서의 상기 복수의 워드라인의 로우레벨 전압과 다르게 설정될 수 있는 것을 특징으로 한다.

<18> 바람직하기로는, 상기 반도체 장치는 상기 테스트 모드에서 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 비트라인 테스트 전압 레벨로 설정하기 위한 비트라인쌍 전압 설정 회로를 더 구비한다.

<19> 상기 기술적 과제를 달성하기 위한 본 발명의 일 면에 따른 테스트 방법은 복수의 비트라인쌍들 중의 하나와 복수의 워드라인들 중의 하나에 각각 연결되는 메모리셀들을 포함하는 반도체 장치를 테스트하는 방법에 관한 것으로, (a) 상기 메모리셀들에 테스트 데이터를 기입하는 단계; (b) 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정하는 단계; (c) 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 트루 테스트 전압과 상보 테스트 전압으로 설정하는 단계; (d) 상기 복수의 워드라인들이 모두 비활성화된 상태에서 소정 시간 대기하는 단계; (e) 상기 메모리셀들로부터 데이터를 독출하는 단계; 및 (f) 상기 (e) 단계에서 독출된 데이터와 상기 (a) 단계에서 기입된 데이터를 상호 비교하는 단계를 구비하며, 상기 워드라인 테스트 전압은 정상동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 독립적으로 설정될 수 있는 것을 특징으로 한다.

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 다른 일 면에 따른 테스트 방법은 복수의 비트라인쌍들 중의 하나와 복수의 워드라인들 중의 하나에 각각 연결되는 메모리셀들을 포함하는 반도체 장치를 테스트하는 방법에 관한 것으로, (a) 상기 메모리셀들에 테스트 데이터를 기입하는 단계; (b) 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정하는 단계; (c) 상기 복수의 워드라인들 어느 하나를 선택하여 활성화하는 단계; (d)



상기 (c) 단계에서 선택된 워드라인에 연결된 메모리셀에 상기 테스트 데이터의 반대 데이터를 소정 시간 기입하는 단계; (e) 상기 (d) 단계에서 기입된 메모리셀들을 제외한 나머지 메모리셀들로부터 데이터를 독출하는 단계; 및 (f) 상기 (e) 단계에서 독출된 데이터와 상기 (a) 단계에서 기입된 데이터를 상호 비교하는 단계를 구비하며, 상기 워드라인 테스트 전압은 정상 동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 독립적으로 설정될 수 있는 것을 특징으로 한다.

- <21> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.
- <22> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <23> 도 1은 본 발명의 일 실시예에 따른 반도체 장치(100)를 나타내는 도면이다. 이를 참조하면, 반도체 장치는 SRAM(Static Random Access Memory)으로서, 메모리 셀 어레이, 로우 디코더(120a, 120b), 워드라인 드라이버(130a, 130b), 1중 비트라인쌍 전압 설정회로(140a, 140b), 감지 증폭기(150) 및 2중 비트라인쌍 전압 설정회로(150)를 구비한다.
- <24> 메모리셀 어레이는 복수의 비트라인쌍들 중의 한 쌍과 복수의 워드라인들 중의 하나에 각각 연결되는 복수의 메모리셀들(110a~110d)을 포함한다. 도 1에는, 두 개의 워드라인(WL1, WL2), 두 개의 비트라인쌍(BL1&BL1B, BL2&BL2B) 및 네 개의 메모리셀들(110a~110d)만이 도시되어 있으나, 이러한 구조는 확장될 수 있다.



<25> 각 메모리 셀(110a~110d)은 6개의 트랜지스터들(N11~N14, P11, P12)을 포함한다. 메모리 셀(110a~110d)의 구성은 동일하므로 하나의 메모리셀(110a)을 중심으로 기술한다. 액세스 트랜지스터들(N13, N14)은 제1 워드라인(WL1)의 전압레벨에 의해 온(on)/오프(off)된다. 트루 데이터를 저장하는 노드 1(ND1)은 액세스 트랜지스터(N13)를 통하여 트루 비트 라인(BL1)에 연결된다. 상보 데이터를 저장하는 노드 2(ND2)는 액세스 트랜지스터(N14)를 통하여 상보 비트라인(BLB1)에 연결된다. 액세스 트랜지스터들(N13, N14)이 온(on)되면, 노드 1(ND1)은 트루 비트라인(BL1)과 전하 공유(charge sharing)가 이루어지고, 노드 2(ND2)는 상보 비트라인(BLB1)과 전하 공유가 이루어진다. 피모스(PMOS) 트랜지스터들(P11, P12)은 셀어레이 전압(VDDA)과 노드 1(ND1) 사이, 셀어레이 전압(VDDA)과 노드 2(ND2) 사이에 각각 형성된다. 엔모스(NMOS) 트랜지스터들(N11, N12)은 노드 1(ND1)과 그라운드 전압 사이, 노드 2(ND2)와 그라운드 전압 사이에 각각 형성된다. 도 1에 도시된 메모리 셀(110a~110d)의 동작은 당업자에게 널리 알려져 있으므로, 상세한 설명은 생략된다.

<26> 로우 디코더(120a, 120b)는 복수의 워드라인들(WL1, WL2) 중 어느 하나를 선택하기 위하여 로우 어드레스(RA)를 디코딩한다. 선택된 워드라인은 해당 워드라인 드라이버(130a 또는 130b)의 피모스 트랜지스터(P51 또는 P52)에 의하여 소정의 하이레벨 전압(여기서는, VDD)으로 활성화된다. 선택되지 않은 워드라인은 해당 워드라인 드라이버(130a 또는 130b)의 엔모스 트랜지스터(N51 또는 N52)에 의하여 소정의 로우레벨 전압(VSSWL)으로 설정된다. 워드라인의 로우레벨 전압(VSSWL)은 소정의 테스트 모드(이하, 위크셀 테스트 모드라 함)에서는 소정의 워드라인 테스트 전압이고, 정상 동작 모드에서는 그라운드 전압이다. 워드라인 테스트 전압은 그라운드 전압과 독립적으로 설정될 수 있는 것이 바람직하다.

- <27> 종래에는 워드라인의 로우레벨 전압(VSSWL)은 테스트 모드에서나 테스트 모드가 아닌 정상 동작 모드에서나 그라운드 전압 레벨로 설정되었다. 그런데, 본 발명에서는 소정의 테스트 모드에서의 워드라인의 로우레벨 전압은 정상 동작 모드에서의 워드라인의 로우레벨 전압과 다르게 설정될 수 있다.
- <28> 이를 위하여 반도체 장치(100)는 워드라인 테스트 전압을 수신하기 위한 워드라인 테스트 전압 터미널(미도시)을 더 구비한다. 워드라인 테스트 전압 터미널은 그라운드 전압을 수신하는 그라운드 전압 터미널(미도시)과 별도로 구비된다. 여기서, 터미널은 외부로부터 입력되는 신호를 수신하는 수단으로서, 메모리 장치(100)의 패키징(packaging) 전 상태, 예를 들어 웨이퍼(wafer) 상태에서는 반도체 장치의 테스트 장비(100)로부터 직접 신호를 수신할 수 있고, 패키징 후에는 핀(pin)을 통하여 외부 장치와 연결되는 것이 바람직하다. 핀은 메모리 장치를 외부 장치와 연결시키는 수단으로서, 패키징 후에도 본 발명에 따른 테스트를 수행하려면, 그라운드 전압 핀과 별도로 워드라인 테스트 전압 핀을 구비하는 것이 바람직하다. 이 경우, 그라운드 전압 터미널과 워드라인 테스트 전압 터미널은 각각 그라운드 전압 핀과 워드라인 테스트 전압 핀에 연결된다. 패키징 후에는 본 발명에 따른 테스트가 필요없다면, 그라운드 전압 핀과 별도의 워드라인 테스트 전압 핀을 구비할 필요는 없다. 이 경우, 그라운드 전압 터미널과 워드라인 테스트 전압 터미널은 모두 그라운드 전압 핀에 연결된다. 핀 대신에 다른 연결 수단, 예를 들어 볼(ball)이 사용될 수도 있다.
- <29> 메모리 장치(100)의 소정의 테스트 모드에서, 워드라인 테스트 전압은 외부의 테스트 장비로부터 인가된다. 이 때, 워드라인 테스트 전압 레벨은 가변될 수 있다. 바람직하기로는, 테스트 모드에서의 워드라인의 로우레벨 전압(VSSWL), 즉 워드라인 테스트 전압은 정상 동작 모드에서의 워드라인의 로우레벨 전압(그라운드 전압)보다 높게 설정된다.



- <30> 1종 비트라인쌍 전압 설정회로(140a, 140b)는 해당하는 트루 비트라인, 상보 비트라인의 전압 레벨을 소정의 트루 테스트 전압 레벨과 상보 테스트 전압 레벨로 각각 설정한다. 테스트 모드에서 1종 비트라인쌍 전압 설정회로(140a)는 비트라인쌍(BL1, BLB1)의 전압 레벨을, 1종 비트라인쌍 전압 설정회로(140b)는 비트라인쌍(BL2, BL2B)의 전압 레벨을 각각 설정한다. 비트라인쌍의 전압 레벨은 2종 비트라인쌍 전압 설정회로(160)에 의해 설정될 수도 있다.
- <31> 2종 비트라인쌍 전압 설정회로(160)는 1종 비트라인쌍 전압 설정회로(140a, 140b)와 달리, 비트라인쌍마다 구비될 필요가 없다. 바람직하기로는, 2종 비트라인쌍 전압 설정회로(160)는 기입 드라이버(미도시) 내에 포함되거나, 짝을 이룬다. 기입 드라이버(미도시)는 칼럼 어드레스에 해당하는 비트라인쌍의 전압 레벨을 외부로부터 입력되는 데이터에 응답하여 소정의 전압 레벨로 드라이빙한다. 본 발명의 일 실시예에 따른 2종 비트라인쌍 전압 설정회로(160)는 기입 드라이버를 외부로부터 입력되는 데이터 대신에 소정의 테스트 데이터에 응답하도록 함으로써, 선택된 비트라인쌍의 전압 레벨을 트루 테스트 전압 레벨과 상보 테스트 전압 레벨이 되게 한다. 1종 비트라인쌍 전압 설정 회로(140a, 140b)와 비교해 보면, 2종 비트라인쌍 전압 설정회로(160)는 메모리셀 어레이당 하나만 구비되어도 되므로 소요 면적이 적다. 반면, 2종 비트라인쌍 전압 설정회로(160)는 동시에 여러 비트라인쌍의 전압 레벨을 설정할 수는 없으므로, 테스트 시간이 더 길어질 수 있다.
- <32> 상술한 바와 같이, 1종 비트라인쌍 전압 설정회로(140a, 140b)와 2종 비트라인쌍 전압 설정회로(160)는 유사한 역할을 하므로, 양 회로가 반도체 장치(100)에 모두 구비될 필요는 없다. 그러므로, 반도체 장치(100)는 1종 비트라인쌍 전압 설정회로(140a, 140b)만을 구비할 수도 있고, 2종 비트라인쌍 전압 설정회로(160)만을 구비할 수도 있으며, 양자를 모두 구비할 수도 있다.



- <33> 감지 증폭기(150)는 메모리셀 어레이로부터 독출되는 데이터를 증폭한다. 도 1에는 도시되어 있지 않지만, 반도체 장치(100)는 메모리셀 어레이로부터 데이터 기입 및 독출을 제어하기 위해 필요한 제어 회로들, 예를 들어, 명령어 디코더, 버퍼, 클럭 신호 발생회로 등을 더 구비하는 것이 바람직하다.
- <34> 다시 메모리셀(110a)을 참조하면, 트루 비트라인(BL1)과 노드 1(ND1), 상보 비트라인(BLB1)과 노드 2(ND2)간에는 메모리셀(110a)의 액세스 트랜지스터들(N13, N14)이 턴오프 상태라 하더라도 약간의 누설 전류(leakage current)가 존재한다. 그런데 이러한 누설 전류는 워드라인(WL1)의 로우레벨 전압(VSSWL)가 높아지면 더욱 증가할 수 있다. 따라서, 워드라인 드라이버(110a)에 의하여 워드라인(WL1)의 로우 레벨을 가변함으로써, 메모리셀(110a)에 스트레스를 인가하는 조건을 만들 수 있다. 이 때, 트루 비트라인(BL1) 및 상보 비트라인(BLB1)의 전압 레벨을 노드 1 및 2(ND1, ND2)의 전압 레벨과 반대가 되도록 설정되면, 메모리셀(110a)에 더욱 스트레스로 작용한다. 트루 비트라인(BL1) 및 상보 비트라인(BLB1)의 전압 레벨의 설정은 상술한 바와 같이, 1종 비트라인쌍 전압 설정회로(140a, 140b) 및/또는 2종 비트라인쌍 전압 설정회로(160)에 의해 이루어질 수 있다.
- <35> 제1 메모리셀(110a)의 트루 데이터가 '0'이고 상보 데이터가 '1'인 경우, 즉 노드 1(ND1)이 '0'이고 노드 2(ND2)가 '1'인 경우를 예를 들어 기술하면 다음과 같다.
- <36> 이 경우에 트루 비트라인(BL1)의 전압 레벨은 VDD('1')로 설정되고 상보 비트라인(BLB1)의 전압 레벨은 그라운드 전압 레벨('0')로 설정되면, 누설 전류로 인해, 트루 비트라인(BL1)으로부터 노드 1(ND1)로는 전하가 유입되고 노드 2(ND2)의 전하는 상보 비트라인(BLB1)으로 유출된다. 유입되거나 유출되는 전하량은 워드라인(WL1)의 로우레벨 전압(VSSWL)이 높을수록 많아진다. 즉, 워드라인의 로우레벨 전압(VSSWL)을 높일수록 노드 1(ND1) 및 노드 2(ND2)에 더



큰 스트레스가 가해진다. 스트레스가 가해지면, 노드 1(ND1) 및/또는 노드 2(ND2)의 전압 레벨이 바뀔 수 있으며, 이로 인하여 메모리셀(110a)에 저장된 데이터 자체가 바뀌어 데이터 오류가 발생할 수 있다. 소정의 스트레스 하에서 오류가 발생하는 메모리셀은 장시간의 사용시에 불량셀이 될 가능성이 높다. 따라서, 이러한 메모리셀들은, 워크 셀로 취급될 수 있다.

<37> 워드라인의 로우레벨 전압(VSSWL)을 가변시키는 것과 아울러, 메모리셀 어레이에 공급되는 전압(셀 어레이 전압, VDDA)의 전압레벨을 가변함으로써, 메모리셀에 가하는 스트레스를 가속화할 수 있다. 예를 들어, 소정의 테스트 모드에서의 셀 어레이 전압(VDDA)을 정상 동작시의 셀어레이 전압의 레벨보다 낮게 설정하면, 메모리 셀에 '1'의 데이터가 유지되기 어렵다.

<38> 상술한 메모리셀(110a)에 대한 설명은 다른 메모리셀들(110b~110d)에도 동일하게 적용된다.

<39> 도 2는 SRAM의 메모리 셀(200)을 상세히 나타내는 회로도로서, 본 발명의 일 실시예에 따른 반도체 장치가 테스트를 통하여 검출할 수 있는 워크 셀의 몇 가지 유형을 나타낸다.

<40> 도 2를 참조하면, SRAM 메모리셀(200)은 도 1에 도시된 메모리셀과 동일한 구성을 가진다. 다만, 도 2의 메모리셀(200)은 셀어레이 전압(VDDA)과 피모스 트랜지스터들(M1, M2) 사이에 제1 저항(R1), 피모스 트랜지스터(M1)와 노드 1(N1) 사이에 제2 저항(R2) 및 피모스 트랜지스터(M2)와 노드 2(N2) 사이에 제3 저항(R3)을 포함한다. 제1 내지 제3 저항(R1~R3)은 오픈(open) 불량을 나타내기 위한 것이다. 제1 저항(R1)은 셀어레이 전압(VDDA)과 피모스 트랜지스터들(M1, M2)간의 연결 불량을 나타낸다. 제1 저항(R1)의 값이 매우 크다면, 피모스 트랜지스터들(M1, M2)은 셀어레이 전압(VDDA)으로부터 분리된 것처럼 보인다. 이 경우, 노드1 및 2(N1, N2)는 셀어레이 전압(VDDA)을로 설정되기 어렵다. 따라서, 노드 1(N1) 또는 노드 2(N2)에 '1'



의 데이터가 제대로 기입되지 않는다. 제1 저항(R1)은 노드 1 및 2(N1, N2)에 모두 영향을 주기 때문에 대칭 결함이라고 한다.

<41> 제2 저항(R2)은 피모스 트랜지스터(M1)와 노드 1(N1)간의 연결 불량을 나타내고, 제3 저항(R3)은 피모스 트랜지스터(M2)와 노드 2(N2)간의 연결 불량을 나타낸다. 제2 저항(R2)이 큰 경우에는 노드 1(N1)에 '1'의 데이터가 제대로 기입되지 않을 수 있고, 제3 저항(R3)이 큰 경우에는 노드 2(N2)에 '1'의 데이터가 제대로 기입되지 않을 수 있다. 제1 저항(R1)과 비교할 때, 제2 및 제3 저항(R2, R3)은 각각 노드 1(N1)이나 노드 2(N2)에만 영향을 주므로, 이를 비대칭 결함이라고 한다.

<42> 본 발명은 도 2에 도시된 피모스 트랜지스터들(M1, M2)의 드레인의 연결 불량, 즉 오픈 불량 외에도 피모스 트랜지스터들(M1, M2)의 게이트의 오픈 불량이나 그 외 다른 원인에 의한 워크 셀의 검출에도 적용될 수 있다.

<43> 도 3은 본 발명의 다른 일 실시예에 따른 반도체 장치(300)를 나타내는 도면이다. 도 3의 반도체 장치(300)는 워드라인 드라이버(300a, 300b)에 연결되는 로우레벨 전압이 두 가지 종류라는 점을 제외하고는 도 1의 반도체 장치(100)와 동일한 구성을 가진다.

<44> 도 3을 참조하면, 워드라인 드라이버(330a, 330b)는 오드 워드라인 드라이버(330a)와 이븐 워드라인 드라이버(330b)로 구분된다. 오드 워드라인 드라이버(330a)는 오드 로우레벨 전압(VSSWLO)에 연결되고, 이븐 워드라인 드라이버(330b)는 이븐 로우레벨 전압(VSSWLE)에 연결된다. 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)은 상호 독립적이다.

<45> 이를 위하여 반도체 장치(300)는 오드 로우레벨 전압(VSSWLO)을 수신하기 위한 오드 로우레벨 전압 터미널(미도시)과 이븐 로우레벨 전압(VSSWLE)을 수신하기 위한 이븐 로우레벨 전



압 터미널(미도시)을 각각 그라운드 전압 터미널(미도시)과 별도로 구비하는 것이 바람직하다. 오드 로우레벨 전압 터미널(미도시)과 이븐 로우레벨 전압(VSSWLE)은 도 1과 관련하여 상술한 바와 같이, 그라운드 전압 핀에 연결될 수도 있고, 각각 오드 로우레벨 전압 핀과 이븐 로우레벨 전압 핀에 독립적으로 연결될 수도 있다.

<46>        워드라인들(WL1, WL2) 역시 편의상 오드 워드라인과 이븐 워드라인으로 구별한다. 오드 워드라인과 이븐 워드라인이 교호적으로 배열된다. 도 2에서는 워드라인(WL1)인 오드 워드라인이고, 워드라인(WL2)은 이븐 워드라인에 해당한다. 오드 워드라인(WL1)은 오드 워드라인 드라이버(330a)에 연결되고, 이븐 워드라인(WL2)은 이븐 워드라인 드라이버(330b)에 연결된다.

<47>        도 1의 반도체 장치(100)는 테스트 데이터가 백그라운드 데이터와 같이, 모든 메모리셀에 기입되는 데이터가 동일할 때 바람직하다. 그러나, 테스트 데이터가 체크 보드 패턴(check board pattern)과 같이 이븐 워드라인에 연결되는 메모리셀에 기입되는 데이터와 오드 워드라인에 연결되는 메모리셀에 기입되는 데이터가 다를 때는 도 3의 반도체 장치가 유리하다.

<48>        도 4는 본 발명의 일 실시예에 따른 테스트 방법을 개략적으로 나타내는 플로우차트이다. 도 3에서 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 동일하게 설정하면 도 1과 동일하므로, 도 3을 참조하여, 본 발명의 일 실시예에 따른 테스트 방법을 기술하면 다음과 같다.

<49>        메모리셀 어레이(110)에 테스트 데이터를 기입한다(410). 테스트 데이터는 하나의 레벨('0' 또는 '1')을 가지는 백그라운드 데이터 일수도 있고, 체크 보드 패턴일 수도 있다. 백그라운드 데이터를 기입할 때, 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 모두 전원 전압(VDD)에 가깝게 조절하면, 모든 워드라인들이 하이레벨로 활성화되는 효과가 있다. 그러면, 모든 워드라인에 연결되는 액세스 트랜지스터들이 동시에 턴온되므로, 데이터

기입시간이 감소될 수 있다. 체크 보드 패턴 데이터를 기입할 때는, 오드 로우레벨 전압(VSSWLO)을 전원 전압(VDD)에 가깝게 조절함으로써 오드 워드라인들을 동시에 활성화하여 데이터를 기입하고, 이븐 로우레벨 전압(VSSWLE)을 전원 전압(VDD)에 가깝게 조절함으로써 이븐 워드라인들을 동시에 활성화하여 데이터를 기입하면, 데이터 기입시간이 감소될 수 있다.

따라서, 전체 테스트 시간이 감소될 수 있다.

<50> 워드라인의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정한다(420). 테스트 데이터가 백그라운드 데이터인 경우에는 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 그라운드 전압 레벨 보다 높은 전압(예를 들어, 0.5V)으로 동일하게 설정하는 것이 바람직하다. 테스트 데이터가 체크 보드 패턴인 경우에는, 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 각각 다르게 설정하는 것이 바람직하다.

<51> 하나 이상의 비트라인쌍의 전압을 소정의 비트라인쌍 테스트 전압, 즉 트루 테스트 전압과 상보 테스트 전압으로 각각 설정한다(420). 이 때, 트루 테스트 전압과 상보 테스트 전압은 도 2와 관련하여 상술한 바와 같이, 테스트 데이터와 반대되는 전압으로 설정되는 것이 바람직하다. 예를 들어, '0'의 백그라운드 데이터가 도 3의 모든 메모리셀(110a~110d)에 기입되어 있다면, 트루 데이터는 '0'이고, 상보 데이터는 '1'이다. 이 경우에는 트루 비트라인(BL1, BL2)을 '1'로, 상보 비트라인(BLB1, BLB2)을 '0'으로 설정하는 것이 바람직하다. 반대 경우에는 트루 비트라인(BL1, BL2)을 '0'으로, 상보 비트라인(BLB1, BLB2)을 '1'로 설정하는 것이 바람직하다. 도 2에서 기술한 피모스 트랜지스터의 오픈 불량에 의한 위크셀을 검출하기 위해서는 백그라운드 데이터가 '0'이든 '1'이든 상관없이 비트라인쌍을 '0'으로 설정하는 것도 바람직하다. 다른 예로서, 체크 보드 패턴의 테스트 데이터로서, 메모리셀(110b)에는 '0'의 데이터가, 메모리셀(110a)에는 '1'의 데이터가 기입된 경우를 살펴본다. 이 경우에, 트루 비트라인

(BL1) 및 상보 비트라인(BLB1)을 메모리셀(110b)의 데이터('0'의 트루 데이터)를 기준으로 이와 반대되도록 설정하면, 메모리셀(110b)에는 스트레스가 가해지지만 메모리셀(11a)에는 오히려 유리한 조건을 만들어 줄 수 있다. 따라서, 이 경우에는 상기 420단계에서 이븐 로우레벨 전압(VSSWLE)은 그라운드 전압보다 높게(예를 들어 0.5V)로 설정하고, 오드 로우레벨 전압(VSSWLO)은 그라운드 전압과 같거나 낮게(예를 들어, 0V 나 -0.5V)로 설정하는 것이 바람직하다.

<52> 다음으로, 모든 워드라인들을 비활성화한 상태로, 즉, 모든 워드라인을 선택하지 않은 상태로 소정시간 대기한다(440). 각 메모리셀로부터 데이터를 독출하여(450), 독출된 데이터와 기입된 데이터가 일치하는지 비교한다(460). 양자가 일치하지 않으면 해당 메모리셀은 워크셀로 분류될 수 있다.

<53> 도 5는 본 발명의 다른 일 실시예에 따른 테스트 방법을 개략적으로 나타내는 플로우차트이다. 도 3을 참조하여, 본 발명의 다른 일 실시예에 따른 테스트 방법을 기술하면 다음과 같다.

<54> 메모리셀 어레이(110)에 '0' 또는 '1' 백그라운드 데이터를 기입한다(510). 이 때, 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 모두 전원 전압(VDD)에 가깝게 조절하면, 데이터 가입시간이 감소될 수 있다.

<55> 워드라인의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정한다(520). 이 때, 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)은 그라운드 전압 레벨 보다 높은 전압(예를 들어, 0.5V)인 것이 바람직하다.

- <56> 어느 하나의 워드라인을 선택하여 활성화한다(530). 선택된 워드라인에 연결된 메모리셀에 상기 510 단계에서 기입한 백그라운드 데이터와 반대되는 데이터를 소정 시간 기입한다(540). 백그라운드 데이터와 반대되는 데이터가 비트라인쌍으로 드라이빙되면, 이는 선택된 워드라인을 제외한 나머지 워드라인들에 연결된 메모리셀들에게는 상당한 스트레스로 작용한다.
- <57> 반대 데이터의 기입이 이루어지지 않은 나머지 메모리셀로부터 데이터를 독출하여(550), 독출된 데이터가 최초 기입한 데이터(즉, 백그라운드 데이터)와 일치하는지 비교한다(560). 양자가 일치하지 않으면 해당 메모리셀은 워크셀로 분류될 수 있다.
- <58> 도 6은 도 3에 도시된 반도체 장치의 실험 결과를 나타내는 도면이다. 오드 오드 로우 레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 동일하게 0V에서 0.8V까지 0.1V 간격으로 조절한 경우이다. 이 경우에 정상 메모리셀들은 오드 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)이 0.8V가 되어야 불량(FAIL)이 되었다. 도 2에서 기술한 제2 저항(도 2의 R2)이나 제3 저항(도 2의 R3)과 같이 비대칭 결함을 가지는 메모리셀의 경우에는 제2 저항(R2) 또는 제3 저항(R3)이 20k $\Omega$  미만일 때는 0.7V, 20k $\Omega$  이상 80k $\Omega$  미만일 때는 0.6V, 80k $\Omega$  이상 320k $\Omega$  미만일 때는 0.5V의 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE) 레벨에서 불량(FAIL)이 되었다. 도 2에서 기술한 제1 저항(도 2의 R1)과 같이 대칭 결함을 가지는 메모리셀의 경우에는 제1 저항(R1)이 10k $\Omega$  미만일 때는 0.7V, 10k $\Omega$  이상 50k $\Omega$  미만일 때는 0.6V, 50k $\Omega$  이상 250k $\Omega$  미만일 때는 0.5V의 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE) 레벨에서 불량(FAIL)이 되었다. 이 실험 결과로부터, 오드 로우레벨 전압(VSSWLO)과 이븐 로우레벨 전압(VSSWLE)을 0.5V로 설정하여 테스트했을 때, 불량이 발생한 셀을 워크셀이라고 판정할 수도 있다.

<59> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

**【발명의 효과】**

<60> 본 발명에 의하면, 불량 가능성이 높은 잠재적인 불량 메모리셀을 효율적으로 검출할 수 있다. 따라서, 반도체 장치의 신뢰성을 높일 수 있다. 또한, 본 발명의 테스트 방법에 의하면, 메모리셀들에 대한 스트레스를 가하는 조건을 만들어 주고 테스트 데이터의 기입 시간을 줄임으로써, 전체 테스트 시간을 감소시킬 수 있다.

**【특허청구범위】****【청구항 1】**

복수의 워드라인들 중의 하나와 복수의 비트라인쌍들 중의 한 쌍에 각각 연결되는 복수의 메모리셀들을 포함하는 메모리셀 어레이;

상기 메모리셀 어레이로부터 독출되는 데이터를 증폭하기 위한 감지 증폭기;

상기 메모리셀 어레이로/로부터 데이터 기입 및 독출을 제어하는 제어 회로;

상기 복수의 워드라인들 중 어느 하나를 선택하기 위하여 어드레스 신호를 디코딩하여 디코딩 신호를 출력하는 로우 디코더;

소정의 테스트 모드에서 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 비트라인 테스트 전압 레벨로 설정하기 위한 비트라인쌍 전압 설정회로; 및

상기 테스트 모드에서 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압 레벨로 설정하는 워드라인 드라이버를 구비하며,

상기 워드라인 테스트 전압 레벨은 정상 동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 다르게 설정될 수 있는 것을 특징으로 하는 반도체 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 정상 동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압은 그라운드 전압인 것을 특징으로 하는 반도체 장치.

**【청구항 3】**

제 2 항에 있어서,

상기 반도체 장치는 상기 워드라인 테스트 전압을 수신하기 위한 워드라인 테스트 전압 터미널을 더 구비하며,

워드라인 테스트 전압 터미널은 상기 그라운드 전압을 수신하는 그라운드 전압 터미널과 별도인 것을 특징으로 하는 반도체 장치.

**【청구항 4】**

제 3 항에 있어서, 상기 반도체 장치는

상기 반도체 장치를 외부 장치와 연결시키는 복수의 외부 연결 수단들 중의 하나로서, 상기 그라운드 전압 터미널과 연결되는 그라운드 전압 연결 수단; 및

상기 복수의 외부 연결 수단들 중의 다른 하나로서, 상기 워드라인 테스트 전압 터미널과 연결되는 워드라인 테스트 전압 연결 수단을 더 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 5】**

제 3 항에 있어서, 상기 반도체 장치는

상기 반도체 장치를 외부 장치와 연결시키는 복수의 외부 연결 수단들 중의 하나로서, 상기 반도체 장치의 패키징시에 상기 그라운드 전압 터미널 및 상기 워드라인 테스트 전압 터미널과 연결되는 그라운드 전압 연결 수단을 더 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 6】**

제 1 항에 있어서,

워드라인 드라이버는 상기 복수의 워드라인들 중 일 그룹인 오드 워드라인에 연결되는 오드 워드라인 드라이버; 및 상기 복수의 워드라인들 중 다른 일 그룹인 이븐 워드라인에 연결되는 이븐 워드라인 드라이버를 포함하며,

상기 오드 워드라인 드라이버와 상기 이븐 워드라인 드라이버는 상기 테스트 모드에서 상기 오드 워드라인과 상기 이븐 워드라인의 로우레벨 전압 레벨을 각각 독립적으로 설정할 수 있는 것을 특징으로 하는 반도체 장치.

【청구항 7】

제 6 항에 있어서, 상기 오드 워드라인과 상기 이븐 워드라인은 상호 교호적으로 배열되는 것을 특징으로 하는 반도체 장치.

【청구항 8】

복수의 워드라인들 중의 하나와 복수의 비트라인쌍들 중의 한 쌍에 각각 연결되는 복수의 메모리셀들을 포함하는 메모리셀 어레이;

상기 복수의 워드라인들 중 어느 하나를 선택하기 위하여 어드레스 신호를 디코딩하여 디코딩 신호를 출력하는 로우 디코더;

소정의 테스트 모드에서 상기 복수의 워드라인들 중 일 그룹의 워드라인들의 로우레벨 전압을 소정의 오드 로우레벨 전압으로 설정하는 오드 워드라인 드라이버; 및

상기 테스트 모드에서 상기 복수의 워드라인들 중 다른 일 그룹의 워드라인들의 로우레벨 전압을 소정의 이븐 로우레벨 전압으로 설정하는 이븐 워드라인 드라이버를 구비하며,



상기 오드 로우레벨 전압과 상기 이븐 로우레벨 전압은 각각 정상 동작 모드에서의 상기 복수의 워드라인의 로우레벨 전압과 다르게 설정될 수 있는 것을 특징으로 하는 반도체 장치.

【청구항 9】

제 8 항에 있어서, 상기 반도체 장치는

상기 테스트 모드에서 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 비트라인 테스트 전압 레벨로 설정하기 위한 비트라인쌍 전압 설정회로를 더 구비하는 것을 특징으로 하는 반도체 장치.

【청구항 10】

제 8 항에 있어서, 상기 오드 워드라인과 상기 이븐 워드라인은

상호 교호적으로 배열되는 것을 특징으로 하는 반도체 장치.

【청구항 11】

제 8 항에 있어서,

상기 반도체 장치는 상기 오드 로우레벨 전압을 수신하기 위한 오드 로우레벨 전압 터미널; 및 상기 이븐 로우레벨 전압을 수신하기 위한 이븐 로우레벨 전압 터미널을 더 구비하며,

상기 오드 로우레벨 전압 터미널과 상기 이븐 로우레벨 전압 터미널은 각각 상기 그라운드 전압을 수신하는 그라운드 전압 터미널과 별도인 것을 특징으로 하는 반도체 장치.

**【청구항 12】**

제 11 항에 있어서, 상기 반도체 장치는

상기 반도체 장치를 외부 장치와 연결시키는 외부 연결 수단들 중의 하나로서, 상기 그라운드 전압 터미널과 연결되는 그라운드 전압 연결 수단;

상기 외부 연결 수단들 중의 다른 하나로서, 상기 오드 로우레벨 전압 터미널과 연결되는 오드 로우레벨 전압 연결 수단; 및

상기 외부 연결 수단들 중의 또 다른 하나로서, 상기 이븐 로우레벨 전압 터미널과 연결되는 이븐 로우레벨 전압 연결 수단을 더 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 13】**

제 11 항에 있어서, 상기 반도체 장치는

상기 반도체 장치를 외부 장치와 연결시키는 외부 연결 수단들 중의 하나이고, 상기 반도체 장치의 패키징시에 상기 그라운드 전압 터미널, 상기 오드 로우레벨 전압 터미널 및 상기 이븐 로우레벨 전압 터미널에 연결되는 그라운드 전압 연결 수단을 더 구비하는 것을 특징으로 하는 반도체 장치.

**【청구항 14】**

제 8 항에 있어서, 상기 반도체 장치는

에스램(Static Random Access Memory, SRAM)인 것을 특징으로 하는 반도체 장치.

**【청구항 15】**

복수의 비트라인쌍들 중의 하나와 복수의 워드라인들 중의 하나에 각각 연결되는 메모리 셀들을 포함하는 반도체 장치를 테스트하는 방법에 있어서,

- (a) 상기 메모리셀들에 테스트 데이터를 기입하는 단계;
- (b) 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정하는 단계;
- (c) 상기 복수의 비트라인쌍들 중 적어도 한 쌍을 소정의 트루 테스트 전압과 상보 테스트 전압으로 설정하는 단계;
- (d) 상기 복수의 워드라인들이 모두 비활성화된 상태에서 소정 시간 대기하는 단계;
- (e) 상기 메모리셀들로부터 데이터를 독출하는 단계; 및
- (f) 상기 (e) 단계에서 독출된 데이터와 상기 (a) 단계에서 기입된 데이터를 상호 비교하는 단계를 구비하며,

상기 워드라인 테스트 전압은 정상동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 독립적으로 설정될 수 있는 것을 특징으로 하는 반도체 장치의 테스트 방법.

#### 【청구항 16】

제 15 항에 있어서, 상기 (a) 단계의 테스트 데이터는

'0'의 데이터 또는 '1'의 데이터인 것을 특징으로 하는 반도체 장치의 테스트 방법.

#### 【청구항 17】

제 16 항에 있어서, 상기 (a) 단계는

상기 워드라인 테스트 전압을 조절하여 상기 복수의 워드라인들을 실질적으로 동시에 활성화하는 단계; 및

상기 활성화된 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에 기입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

**【청구항 18】**

제 15 항에 있어서,

상기 테스트 방법은 (g) 상기 복수의 워드라인들을 오드 워드라인들과 이븐 워드라인들로 구분하는 단계를 더 구비하고,

상기 오드 워드라인들의 로우레벨 전압과 상기 이븐 워드라인들의 로우레벨전압은 상호 독립적으로 조절될 수 있는 것을 특징으로 하는 반도체 장치의 테스트 방법.

**【청구항 19】**

제 18 항에 있어서, 상기 (a) 단계는

상기 오드 워드라인들에 연결된 메모리셀들에 기입되는 데이터와 상기 이븐 워드라인들에 연결된 메모리셀들에 기입되는 데이터를 달리하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

**【청구항 20】**

제 18 항에 있어서, 상기 (a) 단계는

상기 오드 워드라인의 로우레벨 전압을 조절하여 상기 오드 워드라인들을 실질적으로 동시에 활성화하는 단계;

상기 오드 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에 기입하는 단계;

상기 이븐 워드라인의 로우레벨 전압을 조절하여 상기 이븐 워드라인들을 실질적으로 동시에 활성화하는 단계; 및

상기 이븐 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에 기입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【청구항 21】

복수의 비트라인쌍들 중의 하나와 복수의 워드라인들 중의 하나에 각각 연결되는 메모리셀들을 포함하는 반도체 장치를 테스트하는 방법에 있어서,

(a) 상기 메모리셀들에 테스트 데이터를 기입하는 단계;

(b) 상기 복수의 워드라인들의 로우레벨 전압을 소정의 워드라인 테스트 전압으로 설정하는 단계;

(c) 상기 복수의 워드라인들 어느 하나를 선택하여 활성화하는 단계;

(d) 상기 (c) 단계에서 선택된 워드라인에 연결된 메모리셀에 상기 테스트 데이터의 반대 데이터를 소정 시간 기입하는 단계;

(e) 상기 (d) 단계에서 기입된 메모리셀들을 제외한 나머지 메모리셀들로부터 데이터를 독출하는 단계; 및

(f) 상기 (e) 단계에서 독출된 데이터와 상기 (a) 단계에서 기입된 데이터를 상호 비교하는 단계를 구비하며,

상기 워드라인 테스트 전압은 정상동작 모드에서의 상기 복수의 워드라인들의 로우레벨 전압과 독립적으로 설정될 수 있는 것을 특징으로 하는 반도체 장치의 테스트 방법.

【청구항 22】

제 21 항에 있어서, 상기 (a) 단계의 테스트 데이터는

'0'의 데이터 또는 '1'의 데이터인 것을 특징으로 하는 반도체 장치의 테스트 방법.

## 【청구항 23】

제 22 항에 있어서, 상기 (a) 단계는

상기 워드라인 테스트 전압을 조절하여 상기 복수의 워드라인들을 실질적으로 동시에 활성화하는 단계; 및

상기 활성화된 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에 기입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

## 【청구항 24】

제 21 항에 있어서,

상기 테스트 방법은 (g) 상기 복수의 워드라인들을 오드 워드라인들과 이븐 워드라인들로 구분하는 단계를 더 구비하고,

상기 오드 워드라인들의 로우레벨 전압과 상기 이븐 워드라인들의 로우레벨전압은 상호 독립적으로 조절될 수 있는 것을 특징으로 하는 반도체 장치의 테스트 방법.

## 【청구항 25】

제 24 항에 있어서, 상기 (a) 단계는

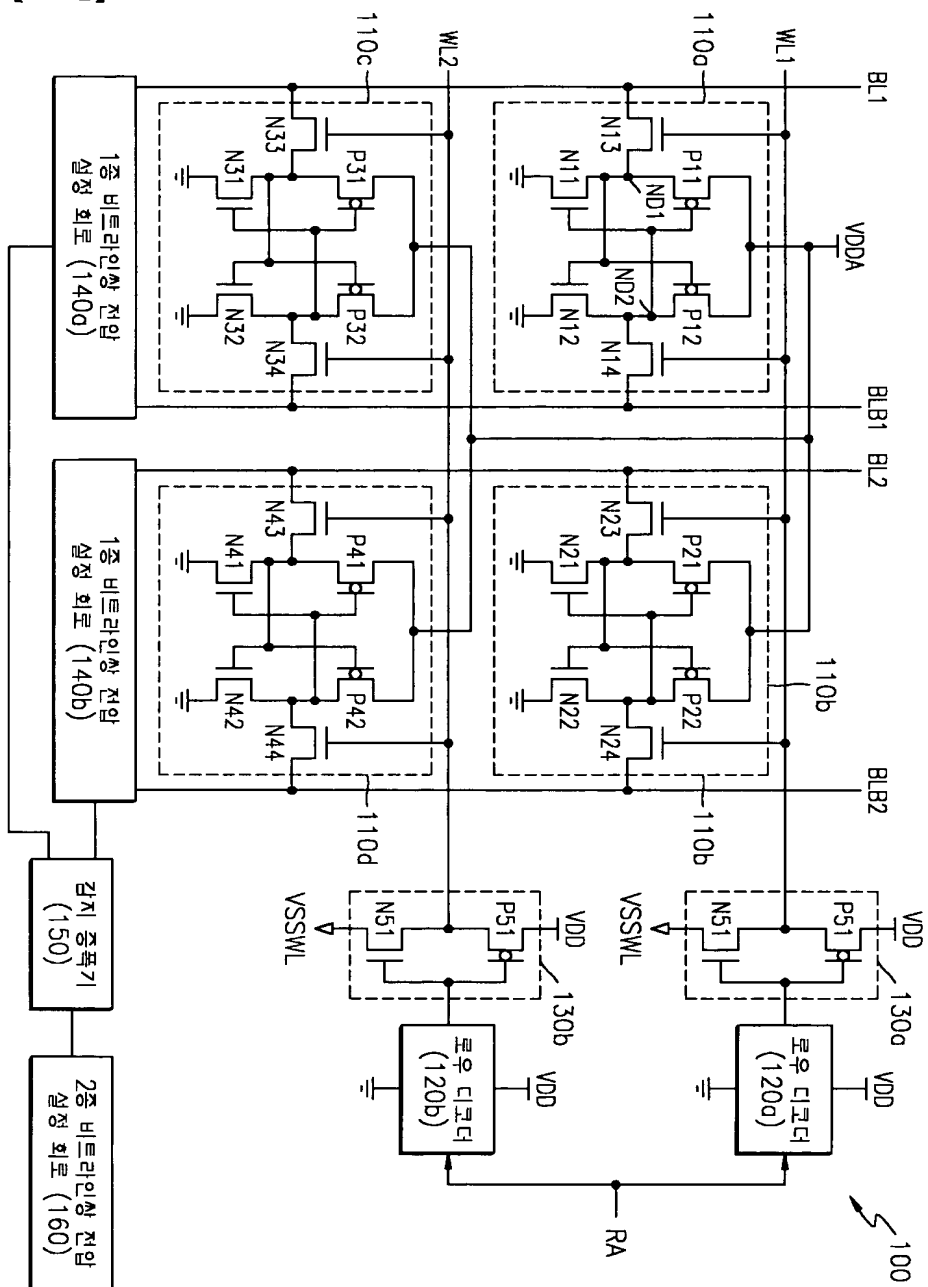
상기 오드 워드라인의 로우레벨 전압을 조절하여 상기 오드 워드라인들을 실질적으로 동시에 활성화하는 단계;

상기 오드 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에 기입하는 단계;

상기 이븐 워드라인의 로우레벨 전압을 조절하여 상기 이븐 워드라인들을 실질적으로 동시에 활성화하는 단계; 및

상기 이븐 워드라인들에 연결된 메모리셀들에 상기 테스트 데이터를 실질적으로 동시에  
기입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 테스트 방법.

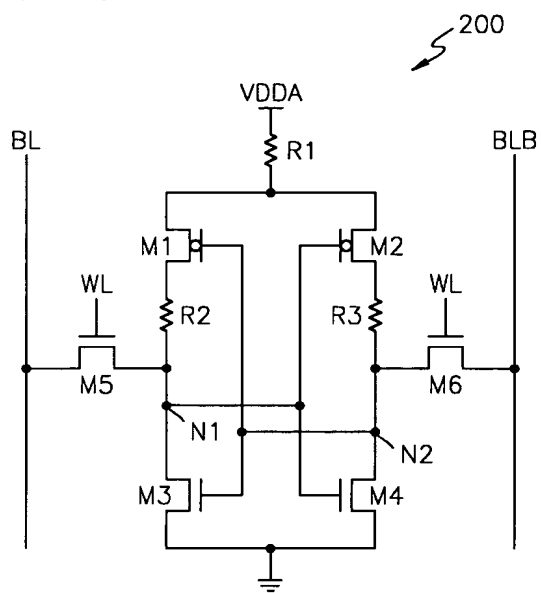
【도면】



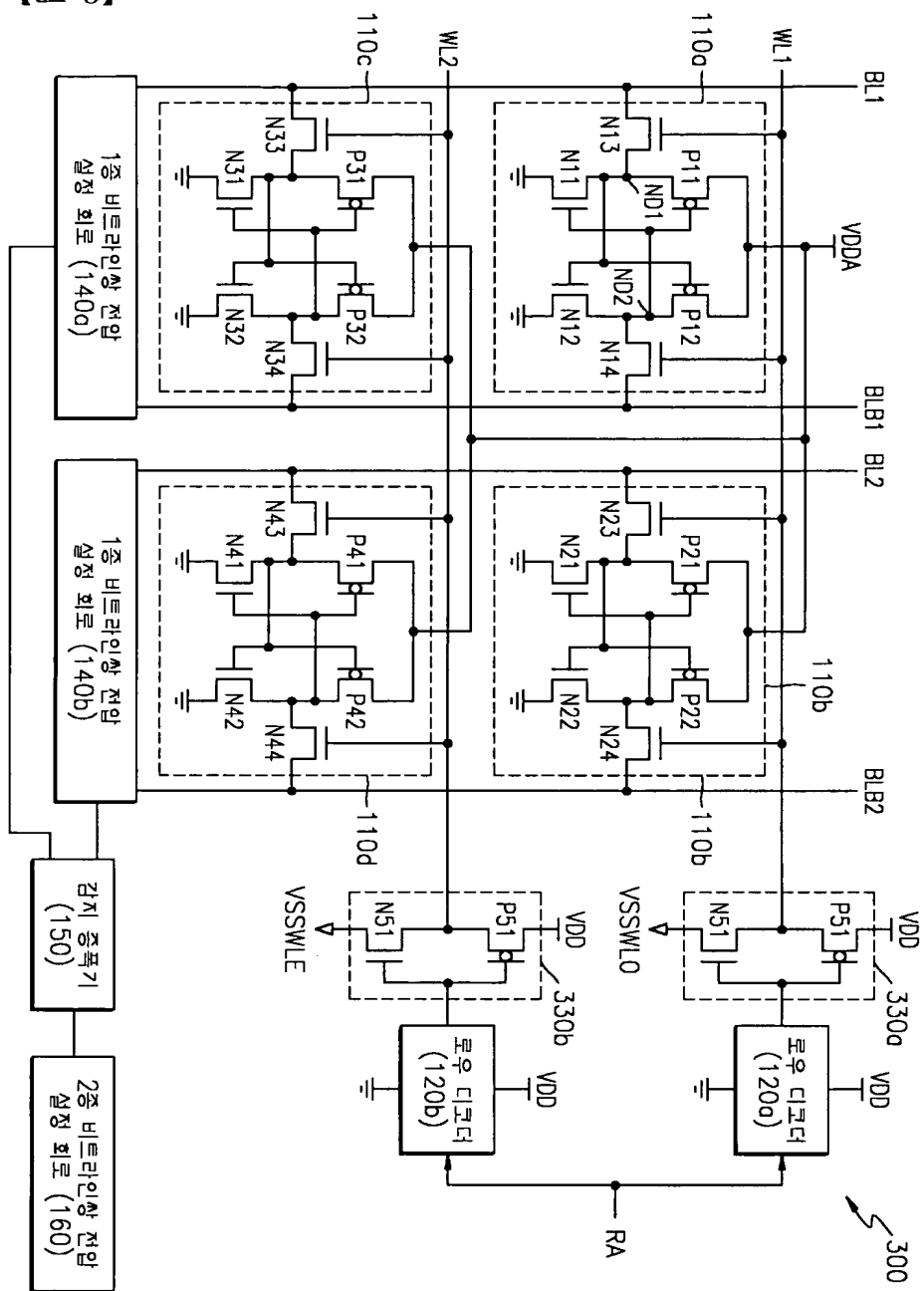
【도 1】



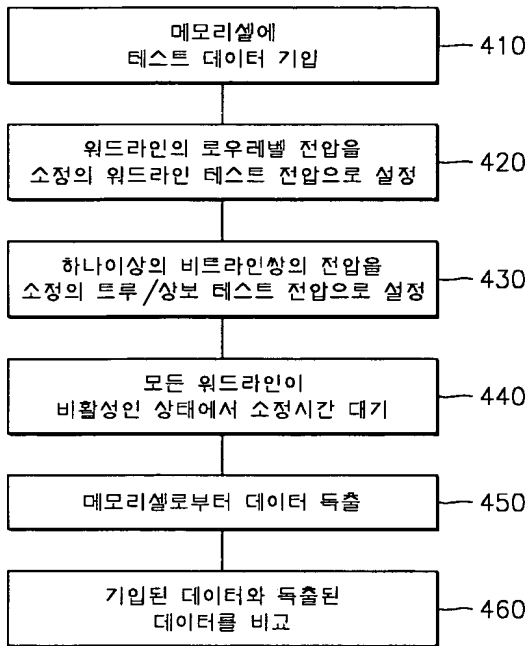
【도 2】



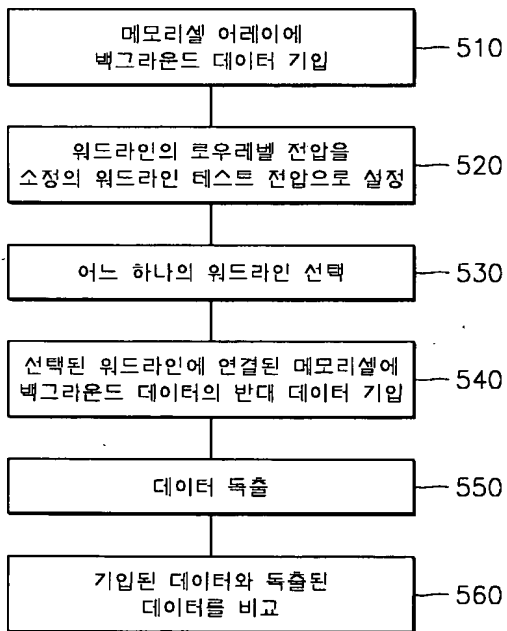
【도 3】



【도 4】



【도 5】



【도 6】

VSSWLE/VSSWLO	정상	비대칭 결함	대칭 결함
0	PASS	PASS	PASS
0.1	PASS	PASS	PASS
0.2	PASS	PASS	PASS
0.3	PASS	PASS	PASS
0.4	PASS	PASS	PASS
0.5 (SCREEN POINT)	PASS	< 320K $\Omega$ PASS	< 250K $\Omega$ PASS
0.6	PASS	< 80K $\Omega$ PASS	< 50K $\Omega$ PASS
0.7	PASS	< 20K $\Omega$ PASS	< 10K $\Omega$ PASS
0.8	FAIL	FAIL	FAIL